

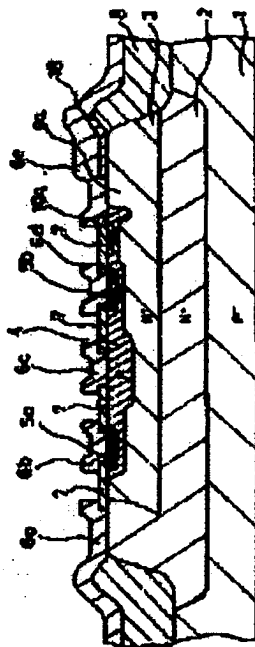
## SEMICONDUCTOR MEMORY DEVICE

Patent number: JP63115368  
 Publication date: 1988-05-19  
 Inventor: HIGUCHI TETSUO; others: 02  
 Applicant: MITSUBISHI ELECTRIC CORP  
 Classification:  
 - international: H01L27/10  
 - european:  
 Application number: JP19860261611 19861031  
 Priority number(s):

### Abstract of JP63115368

**PURPOSE:** To enable a high-speed operation by forming an insulating film having a dielectric constant higher than a silicon oxide film in part of the Schottky barrier diode (SBD) of the memory cell section, and adding a capacity CSIN due to insulating film in parallel with the SBD capacity, thereby enhancing the degree of integration and the reliability.

**CONSTITUTION:** Leaving a silicon nitride film 18 in part of an SBD 9a, the remainder is etched away. And arsenic is implanted into the part becoming an emitter region, a heat treatment is implemented to form a  $N^{++}$  layer, and thereafter the formation is performed according to the prior art process. Since in a semiconductor memory device consisting of such construction, a MIS capacity CSIN due to the silicon nitride film 18 is placed in parallel with the SBD 9a of the memory cell, the total capacity C becomes large, so it will be strongly resistant to the information reversal of the memory cell due to alpha-rays or the like. Further, since CSIN is not placed in the peripheral circuit part, the parasitic capacity does not increase. As the insulating film 18 having a dielectric constant higher than a silicon oxide film is formed in part of the SBD and the capacity CSIN due to the insulating film 18 is added in parallel with this SBD, the reliability can be improved without reducing the degree of integration and the operation speed.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-115368

⑫ Int.Cl.<sup>4</sup>

H 01 L 27/10

識別記号

3 9 1

庁内整理番号

8824-5F

⑬ 公開 昭和63年(1988)5月19日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-261611

⑯ 出 願 昭61(1986)10月31日

⑰ 発 明 者 樋 口 哲 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 発 明 者 小 山 和 美 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 前 田 安 範 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) バイポーラトランジスタによって構成されたフリップフロップ型の半導体記憶装置において、メモリセル部のショットキーバリアダイオードの一部に、酸化珪素膜より高い誘電率の絶縁膜を形成して該絶縁膜とエピタキシャル層、及びアルミ電極からなるMIS電極を付加したことを特徴とする半導体記憶装置。

(2) 上記絶縁膜は、酸化珪素膜であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体記憶装置に関し、特にバイポーラトランジスタを用いたラングムアクセスメモリに関するものである。

(従来の技術)

第5図は従来のバイポーラトランジスタを用いたメモリセルの構造断面を示し、図において、P<sup>+</sup>型基板1上にN<sup>+</sup>型の埋込層2が形成されており、N<sup>+</sup>型埋込層2の上にN<sup>+</sup>型エピタキシャル層3が形成されており、N<sup>+</sup>型エピタキシャル層3の上にP<sup>+</sup>型ベース拡散領域4が形成されており、P<sup>+</sup>型ベース拡散領域4の中にN<sup>+</sup>型エミッタ領域5a、5bが形成されている。また7、8は酸化膜であり、素子間は酸化膜8で分離されている。また6a~8aはA<sub>1</sub>配線であり、6aはコレクタと、6b、6dはエミッタと、8cはベースと、8eは正側ワード線とそれぞれ接続されている。9aはショットキーバリアダイオード、10aはメモリセルの負荷となる抵抗である。

また第6図は第5図に示すメモリセルの等価回路図である。これはダイオードクランプ型のメモリセルであり、記憶情報読出し、書き込み用のマルチエミッタトランジスタ11a、11bとショットキーバリアダイオード9a、9bが並列に接続され、これらによりフリップフロップが構成され

ている。10a、10bは駆放、8は正相ワード線、12は負相ワード線であり、これらは記憶保持のため定電流源（図示せず）に接続され、各メモリセルから一定電流を引出せるものである。13a、13bはビット線であり、これはマルチエミッタトランジスタ11a、11bのエミッタの一方と接続されている。14a、14bはそれぞれショットキーバリアダイオード9a、9bの接合容量C<sub>9a</sub>、15a、15bはそれぞれマルチエミッタトランジスタ11a、11bのベース・コレクタ間接合容量C<sub>11</sub>、16a、16bはそれぞれマルチエミッタトランジスタ11a、11bのベース・エミッタ間接合容量C<sub>12</sub>、17a、17bはそれぞれマルチエミッタトランジスタ11a、11bのコレクタと基板1との間の接合容量C<sub>13</sub>を表わす。

このような構成になる半導体記憶装置では、マルチエミッタトランジスタ11aがオフ、11bがオンである場合、すなわち、マルチエミッタトランジスタ11aのコレクタノードNが「H」の

状態である場合、該ノードNに付く全容量Cは

$$C = C_{11} + C_{9a} + 2C_{12} + 2C_{13}$$

となる。このとき、α線によりメモリセル内のコレクタ基板接合近傍に誘起される電子正孔対電荷をΔQとすると、オフ側のトランジスタ11aのコレクタ電位の変化はΔQ/Cとなるが、メモリセルのホールV電圧V<sub>h</sub>は0.3V程度であるので、上記コレクタ電位変化ΔVを0.1V程度以下に押えないとメモリセルの情報反転が起ってしまうこととなる。

上記コレクタ電位変化ΔVを小さくするためには、容量Cを大きくすればよいが、C<sub>9a</sub>とC<sub>11</sub>はメモリセルの負荷抵抗10a、10bに並列に入るためスピードアップコンデンサの役割を果たしており、接合容量C<sub>12</sub>を大きくするとトランジスタの高速動作は不可能となり、又、C<sub>13</sub>はショットキーバリアダイオードの面積に比例するのでこれを大きくすると高集積化が不可能になってしまう

（発明が解決しようとする課題点）

3

従来の半導体記憶装置は以上のように構成されており、トランジスタの高速動作を可能にするためC<sub>12</sub>は小さく抑えられ、又集積度を上げるためSBD面積も小さく抑えられているので、容量が小さく、α線によるメモリセルの情報反転が起こりやすいという課題点があった

この発明は上記のような課題点を解消するためになされたもので、高速度動作が可能であり、かつ、集積度及び信頼性の高い半導体記憶装置を得ることを目的とする。

（課題点を解決するための手段）

この発明に係る半導体記憶装置は、メモリセル部のショットキーバリアダイオード（SBD）の一部に酸化塩素膜より高い誘電率の絶縁膜を形成し、該SBD容量と並列に上記絶縁膜による容量C<sub>14</sub>を付加したものである。

（作用）

この発明においては、SBD容量と並列に絶縁膜による容量C<sub>14</sub>が付加されるので、バイポーラトランジスタのコレクタノードに付く全容量は

大きくなり、集積度や動作速度を低減することなく、α線によるコレクタ電位の变化を小さくでき、信頼性の高い半導体記憶装置を得ることが出来る。（実施例）

以下、この発明の実施例を図について説明する。

第1図はこの発明の一実施例による半導体記憶装置を示す。図において、従来技術と同一符号は同じものを示す。13はショットキーバリアダイオード9a、9bの一部に形成された酸化塩素膜である。

第2図～第4図は本実施例装置の製造方法を説明するための断面図であり、以下製造方法について説明する。まず第2図に示すように、従来技術の工程に従って、エミッタ、ベース、コレクタ及びショットキーバリアダイオード部のコンタクトを開孔後、酸化塩素膜を約800Åに形成する。次に第3図に示すように、ショットキーバリアダイオード9aの一部に上記酸化塩素膜14を覆って、後はエッチング除去する。そして、第4図に示すように、エミッタ領域となる部分に絶縁の注入を

5

6

行ない、熱処理を実施してN<sup>+</sup>層を形成した後、従来技術の工程に従って本実施例装置を得る。

このような構成になる半導体記憶装置では、メモリのショットキーバリアダイオード9aと並列に高誘電率の窒化珪素膜18によるMIS容量C<sub>si</sub>が入るので、第6図に示すコレクタノードFNに付く全容量Cは、

$$C = C_{v1} + C_{v2} + 2C_{v3} + 2C_{v4} + C_{si}$$

となる。このように全容量Cが大きくなるため、本実施例装置はα線等によるメモリの情報反転に対して強くなり、信頼性の高いものとなる。一方、周辺回路部にはC<sub>si</sub>は入らないため、寄生容量は増加することなく、高速動作が可能である。

なお、上記実施例ではショットキーバリアダイオードの容量C<sub>ss</sub>と並列に入る容量として窒化珪素膜によるMIS容量C<sub>si</sub>を示したが、これは酸化珪素膜よりも高い誘電率の絶縁膜であればよく、同様の効果を表す。

(発明の効果)

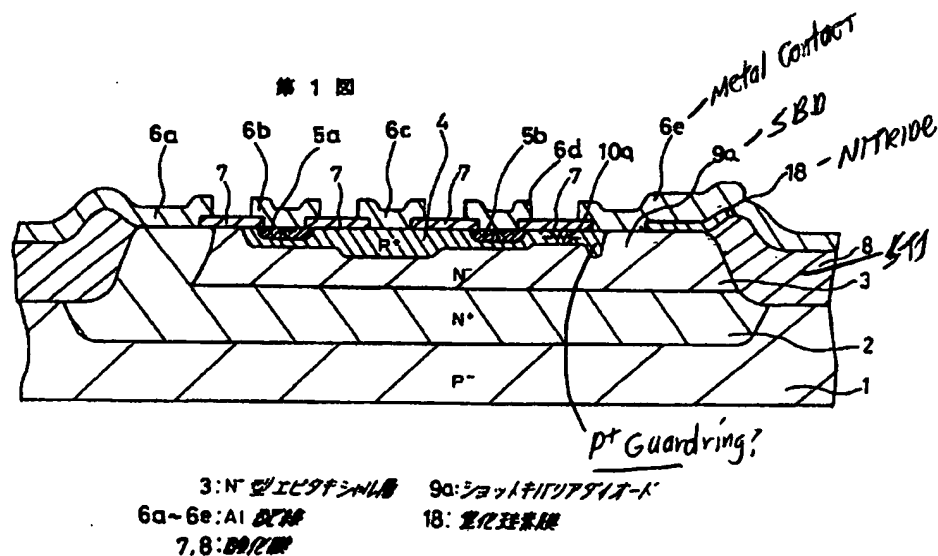
以上のようにこの発明によれば、メモリアル部のショットキーバリアダイオードの一部に酸化珪素膜より高い誘電率の絶縁膜を形成し、該SBD容量と並列に上記絶縁膜による容量C<sub>si</sub>を付加したので、信頼度や動作速度を低減することなく、信頼性の高い半導体記憶装置を得ることができる効果がある。

#### 4. 図面の簡単な説明

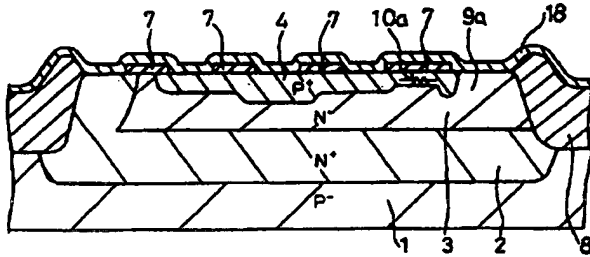
第1図はこの発明の一実施例による半導体記憶装置を示す断面図、第2図、第3図、第4図は上記実施例装置の製造方法を説明するための断面図、第5図は従来の半導体記憶装置を示す断面図、第6図は上記従来例の等価回路図である。

図において、1…P<sup>-</sup>型基板、2…N<sup>+</sup>型埋込層、3…N<sup>-</sup>型エピタキシャル層、4…P<sup>+</sup>型ベース拡散領域、5a、5b…N<sup>+</sup>型エミッタ領域、6a～6e…Al配線、7、8…酸化膜、9a、9b…ショットキーバリアダイオード、10a、10b…抵抗、18…窒化珪素膜。

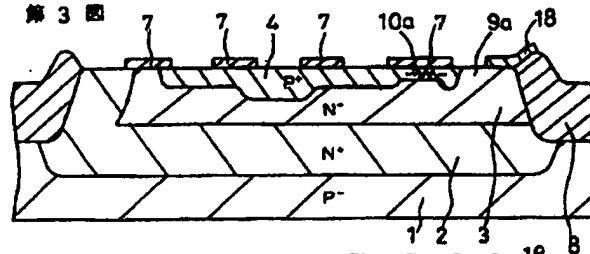
なお図中同一符号は同一又は相当部分を示す。



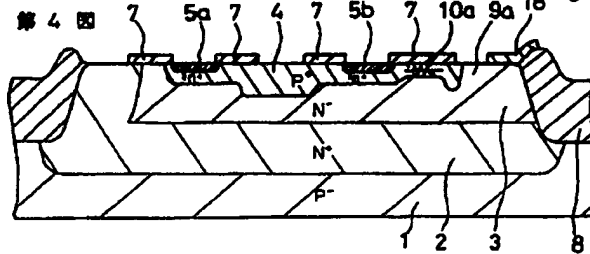
第 2 図



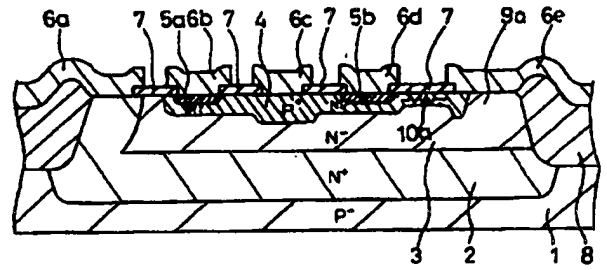
第 3 図



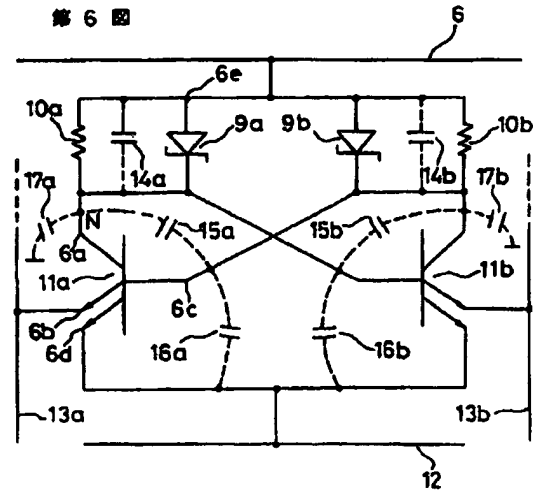
第 4 図



第 5 図



第 6 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**